

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0079114
Application Number

출원년월일 : 2002년 12월 12일
Date of Application DEC 12, 2002

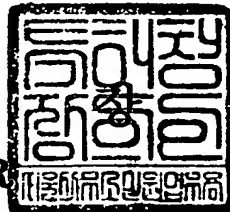
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 08 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2002.12.12
【국제특허분류】	H01L
【발명의 명칭】	자기정렬 콘택플러그를 구비한 반도체 소자 및 그 제조방법
【발명의 영문명칭】	Semiconductor device having a self-aligned contact plug and fabricating method therefor
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김명철
【성명의 영문표기】	KIM, Myeong Cheol
【주민등록번호】	680918-1268324
【우편번호】	442-374
【주소】	경기도 수원시 팔달구 매탄4동 810-1 현대아파트 105-1301
【국적】	KR
【발명자】	
【성명의 국문표기】	강창진
【성명의 영문표기】	KANG, Chang Jin
【주민등록번호】	610826-1090911
【우편번호】	442-470

【주소】 경기도 수원시 팔달구 영통동 산나물실미주아파트
652-1901
【국적】 KR
【발명자】
【성명의 국문표기】 지경구
【성명의 영문표기】 CHI ,Kyeong Koo
【주민등록번호】 651030-1674032
【우편번호】 135-280
【주소】 서울특별시 강남구 대치동 503번지 개포우성아파트 7-110
【국적】 KR
【발명자】
【성명의 국문표기】 손승용
【성명의 영문표기】 SON,Seung Young
【주민등록번호】 720909-1047817
【우편번호】 449-843
【주소】 경기도 용인시 수지읍 상현리 서원마을 금호아파트
505-607
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 14 면 14,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 17 항 653,000 원
【합계】 696,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

자기정렬 콘택플러그를 구비한 반도체 소자 및 그 제조방법에 대해 개시한다. 본 발명에 따른 반도체 소자는, 반도체 기판 위 절연막 상에 도전막 및 캡핑막이 차례로 적층되어 형성된 도전막 패턴들을 가진다. 제1 층간절연막이 도전막 패턴들을 매립하면서 캡핑막 상단보다는 낮고 도전막 상단보다는 높은 두께로 형성되어 있다. 제1 층간절연막 위에서는 제1 스페이서가 캡핑막 외측면을 감싸고 있으며, 제1 층간절연막, 캡핑막 및 제1 스페이서는 상면이 평탄한 제2 층간절연막으로 덮여있다. 캡핑막에 자기정렬된 콘택플러그가 구비되는데, 이것은 도전막 패턴들 사이에서 제2 층간절연막, 제1 층간절연막 및 절연막을 관통하여 반도체 기판과 전기적으로 접속되고, 그 외벽이 제2 스페이서로 둘러싸여 있다.

【대표도】

도 4

【명세서】

【발명의 명칭】

자기정렬 콘택플러그를 구비한 반도체 소자 및 그 제조방법{Semiconductor device having a self-aligned contact plug and fabricating method therefor}

【도면의 간단한 설명】

도 1 내지 도 3은 종래의 반도체 소자에서 비트라인 주변 구성을 나타내기 위해 비트라인에 수직하게 자른 단면도들이다.

도 4는 본 발명의 제1 실시예에 의한 자기정렬 콘택플러그를 구비한 반도체 소자를 도시한 단면도이다.

도 5는 본 발명의 제2 실시예에 의한 자기정렬 콘택플러그를 구비한 반도체 소자를 도시한 단면도이다.

도 6 내지 도 12는 도 4에 도시한 반도체 소자의 제조방법을 순차적으로 설명하기 위한 단면도들이다.

도 13 내지 도 16은 도 5에 도시한 반도체 소자의 제조방법을 순차적으로 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

120...도전막 130...캐핑막

135, 137...제1 층간절연막 140, 142...제1 스페이서

145...제2 층간절연막 155...제2 스페이서

160...콘택플러그

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 특히 인접하여 나란하게 형성되는 비트라인과 같은 도전막을 가지고 또한 그 도전막 사이로 콘택플러그가 통과되어야 하는 반도체 소자 및 그 제조방법에 관한 것이다.
- <12> 반도체 소자의 고집적화에 따라 좁은 면적에 다수의 소자 및 배선을 형성하기 위해 많은 노력이 이루어지고 있다. 이러한 노력의 하나로 DRAM 소자에서의 커패시터를 COB(Capacitor Over Bitline) 구조로 형성하는 예를 들 수 있다. 여기서는 기판에 MOS 트랜지스터를 형성하고, 소오스에 데이터 신호를 주는 비트라인 위에 드레인과 연결되는 커패시터를 형성한다. 따라서, 기판에 커패시터를 형성하는 것에 비해 평면 소요 면적을 줄일 수 있다.
- <13> 이러한 구성을 위해서는 다른 층간에 형성된 소자와 소자, 소자와 배선을 연결하는 수직적 도전로로서 다수의 콘택(비아나 플러그)이 필요하다. 그리고 콘택은 다른 도전로를 이루는 비트라인이나 기타 수평 배선을 피하여 형성되어야 한다. 따라서, 좁은 면적에 콘택을 형성하면서 아래에 이미 형성되어 있는 도전막을 피해가기 위해서, 그 도전막을 식각선택비가 다른 절연막 재질로 둘러싸고 자기정렬 방법으로 콘택홀을 형성하는 경우가 많다. 이러한 방법으로 형성된 콘택홀에 도전체를 메꾸어 만든 콘택플러그를 여기서는 자기정렬 콘택플러그(self aligned contact : SAC)라고 하겠다.

- <14> 도 1 내지 도 3은 종래의 반도체 소자에서 비트라인 주변 구성을 나타내기 위해 비트라인에 수직하게 자른 단면도들이다.
- <15> 우선 도 1을 참조하면, 두개의 비트라인(20)이 나란히 형성되어 있다. 이들 비트라인(20) 사이로 아래층 콘택패드나 드레인 영역(미도시)과 상부 스토리지 노드(미도시)를 전기적으로 연결하기 위한 스토리지 노드 콘택플러그(60)가 SAC 타입으로 형성된다. 노광 공정의 한계 등으로 인하여 스토리지 노드 콘택플러그(60)의 입구 부분 너비는 비트라인(20) 사이의 거리보다 크거나 거의 동일한 크기로 형성된다. 따라서, 비트라인(20) 보호장치인 별도의 캡핑막(30)이나 스페이서(40)가 없다면 콘택홀(H)을 형성하는 동안 비트라인(20)이 훼손될 수 있고, 콘택홀(H)을 채워 스토리지 노드 콘택플러그(60)를 이루는 도전체와 비트라인(20)이 단락되어 결국 반도체 소자가 기능 이상을 초래하게 된다(short fail).
- <16> 도 1에 나타난 종래의 예는 이러한 문제를 방지하기 위하여 비트라인(20) 주변을 실리콘 질화막 재질의 캡핑막(30)과 스페이서(40)로 둘러싸고 있다. 콘택홀(H)이 형성되는 층간절연막(10, 50)은 실리콘 산화막으로 되어 있으므로, 콘택홀(H) 형성을 위한 층간절연막(10, 50) 식각시 비트라인(20)을 둘러싸고 있는 실리콘 질화막과 식각선택비 차이를 가질 수 있다. 따라서, 비트라인(20) 사이로 콘택홀(H)을 형성할 때에 노광 공정에 의해 노출된 부분 가운데의 캡핑막(30)과 스페이서(40)는 대부분이 남게 되고 스페이서(40) 사이의 좁은 틈에 존재하던 층간절연막(10, 50)은 완전히 제거되어 콘택홀(H)이 형성된다.
- <17> 그러나, 비트라인(20)과 스토리지 노드 콘택플러그(60)가 단락되는 것을 방지하기 위하여 두꺼운 스페이서(40)를 사용하기 때문에, 비트라인(20)의 측벽에 스페이서(40)를

형성한 상태에서 층간절연막(50)으로 비트라인(20) 사이를 매립하는 데 한계가 있다. 즉, 비트라인(20) 사이의 간격이 좁은 상태에서 실리콘 산화막을 증착하기 때문에, 비트라인(20) 사이가 실리콘 산화막으로 양호하게 매립되지 않아, 층간절연막(50) 내부에 보이드(void)가 형성되거나, 표면에 씬(seam)이 발생할 수 있다. 이러한 보이드나 씬은 후속 공정을 진행할 때 포토 공정의 불량 등을 유발하거나, 콘택홀을 형성할 때에 낫 오픈(not-open) 현상을 유발한다. 그리고, 두꺼운 스페이서(40)를 사용함에 따라 콘택의 오픈 면적이 작아져서 저항성 불량에 취약하다는 문제가 있다.

<18> 도 2는 이중으로 스페이서(42, 44)를 적용하는 경우를 나타낸 것이다. 이 때, 디자인 룰이 엄격해지면 첫 번째 스페이서(42)를 매우 얇게 형성해야 하므로 층간절연막(10, 50)을 식각하여 콘택홀(H)을 형성할 때에 첫 번째 스페이서(42)가 비트라인(20) 상단까지 리세스된다. 따라서, 콘택홀(H) 내벽에 두 번째 스페이서(44)를 형성하더라도 스토리지 노드 콘택플러그(60)와 비트라인(20)의 단락에 취약하다. 이러한 단락을 방지하고자 두 번째 스페이서(44)의 두께를 증가시키면 콘택의 오픈 면적이 작아져서 콘택 저항 감소가 어려워진다.

<19> 한편 도 3에서와 같이 비트라인(20) 측벽에 스페이서를 형성하지 않은 상태에서 콘택홀(H)을 형성한 다음, 그 내벽에 스페이서(46)를 형성하는 방법도 제안되었다. 그러나 콘택홀(H) 형성시 비트라인(20)이 훼손되지 않도록 버티어 줄 스페이서가 없기 때문에, 후속적으로 스페이서(46)를 형성하더라도 콘택홀(H)과 비트라인(20) 사이의 오정렬이 심할 경우에는 스토리지 노드 콘택플러그(60)와 비트라인(20) 사이의 단락을 방지하기 어려운 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명이 이루고자 하는 기술적 과제는, 인접하여 나란하게 형성되는 비트라인과 같은 도전막을 가지고 또한 그 도전막 사이로 자기정렬 콘택플러그가 통과되는 반도체 소자에서 도전막과 자기정렬 콘택플러그 사이에 단락 염려가 적은 구조의 반도체 소자를 제공하는 것이다.

<21> 본 발명이 이루고자 하는 다른 기술적 과제는, 인접하여 나란히 형성되는 비트라인과 같은 도전막에 단락될 염려없이 그 도전막 사이로 자기정렬 콘택플러그를 형성할 수 있는 반도체 소자 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<22> 상기 기술적 과제를 달성하기 위하여 본 발명에 따른 반도체 소자는, 반도체 기판 위 절연막 상에 도전막 및 캡핑막이 차례로 적층되어 형성된 도전막 패턴들을 가진다. 제1 층간절연막이 상기 도전막 패턴들 사이를 매립하면서 상기 캡핑막 상단보다는 낮고 상기 도전막 상단보다는 높은 두께로 형성되어 있다. 즉, 상기 캡핑막 중간 부분까지 상기 제1 층간절연막으로 매립되어 있다. 상기 제1 층간절연막 위에는 제1 스페이서가 상기 캡핑막 외측면을 감싸고 있으며, 상기 제1 층간절연막, 캡핑막 및 제1 스페이서는 상면이 평탄한 제2 층간절연막으로 덮여 있다. 따라서, 제1 스페이서는 상기 제1 층간절연막과 제2 층간절연막 사이에 위치하면서 상기 캡핑막의 상단에서부터 중간 부분까지를 보호하고 있다. 상기 도전막 패턴들 사이에는 상기 제2 층간절연막, 제1 층간절연막 및 절연막을 관통하여 상기 반도체 기판과 전기적으로 접속되는 콘택플러그가 구비되는데, 이것은 그 외벽이 제2 스페이서로 둘러싸여 있으면서 상기 캡핑막에 자기정렬된 것이다.

- <23> 본 발명에 있어서, 상기 절연막, 제1 층간절연막 및 제2 층간절연막은 실리콘 산화막으로 이루어지고, 상기 캡핑막, 제1 스페이서 및 제2 스페이서는 실리콘 질화막으로 이루어진 것이 바람직하다. 상기 도전막의 폭이 약 90nm이고 상기 제2 스페이서를 포함한 상기 콘택플러그의 상면 너비가 약 120nm인 경우, 상기 제2 스페이서의 폭은 약 300 Å으로 할 수 있고, 상기 제1 스페이서의 높이는 약 500 Å, 상기 제1 스페이서의 폭은 200 내지 300 Å로 하는 것이 바람직하다.
- <24> 실시예에서, 상기 도전막은 비트라인(bitline)이고, 상기 콘택플러그는 스토리지 전극과 상기 반도체 기판에 접속된 셀패드, 또는 스토리지 전극과 상기 반도체 기판을 직접 접속시키는 스토리지 노드 콘택플러그이다. 특히, 상기 제1 층간절연막의 상면이 편평해서 그 상면에 접하는 상기 제1 스페이서 하단도 편평하거나, 상기 도전막 패턴 사이의 상기 제1 층간절연막의 상면 프로파일이 V자형이어서 그 상면에 접하는 상기 제1 스페이서 하단이 기울어진 것일 수 있다.
- <25> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 따른 반도체 소자의 제조방법은 다음과 같은 과정을 통해 이루어진다. 먼저 반도체 기판 위 절연막 상에, 도전막 및 캡핑막을 차례로 적층하고 패터닝하여 라인/스페이스(line & space) 형태의 도전막 패턴들을 형성한다. 그런 다음, 제1 층간절연막을 증착하여 상기 도전막 패턴들 사이를 매립한 후, 상기 캡핑막의 손실없이 상기 제1 층간절연막을 습식 식각함으로써 상기 캡핑막의 양측벽 일부를 노출시킨다. 상기 노출된 캡핑막의 양측벽에 제1 스페이서를 형성한 다음, 그 위에 제2 층간절연막을 형성하고 나서 그 상면을 평탄화시킨다. 상기 도전막 패턴들 사이의 상기 제2 층간절연막, 제1 층간절연막 및 절연막을 차례로 건식 식각하여 상기 캡핑막에 자기정렬된 콘택홀을 형성한 다음, 그 내벽에 제2 스페이서를 형

성한다. 상기 제2 스페이서가 형성된 콘택홀 안에 도전체를 매립함으로써 상기 반도체 기판과 전기적으로 접속된 콘택플러그가 형성된다.

<26> 상기 캡핑막의 양측벽 일부를 노출시킬 때에는, 상기 도전막의 상부가 노출되지 않도록 상기 제1 층간절연막을 습식 식각하는 것이 좋다. 그리고, 상기 제1 스페이서의 폭과 높이는 상기 콘택홀을 형성하는 동안에 상기 제1 스페이서가 식각되어 모두 제거될 수 있는 정도로 형성하는 것이 바람직하다.

<27> 상기 제1 층간절연막을 증착하여 상기 도전막 패턴들 사이를 매립하는 단계는, 상기 제1 층간절연막을 증착하여 상기 도전막 패턴들 사이를 완전히 매립한 다음, 상기 캡핑막을 평탄화종료점으로 하여 상기 제1 층간절연막을 평탄화시키는 방식으로 수행할 수 있다. 대신에, 상기 제1 층간절연막을 HDP-CVD(High Density Plasma-Chemical Vapor Deposition)로 증착하여 상기 도전막 패턴 사이에서의 상기 제1 층간절연막의 프로파일이 V자형이 되도록 형성하는 방식으로 수행하여도 된다. 이럴 경우, 상기 제1 층간절연막을 평탄화시키는 공정을 생략할 수 있다.

<28> 이하, 첨부된 도면을 참조하여 본 발명을 더욱 상세히 설명하기로 한다. 다음에 설명되는 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위

가 아래에서 상술되는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되어진 것으로, 도면상의 동일한 부호는 동일한 요소를 지칭한다. 또한, 어떤 층이 다른 층 또는 기판의 "상"에 있다고 기재된 경우, 상기 어떤 층이 상기 다른 층 또는 기판 상에 접하여 존재할 수도 있고, 그 사이에 제3의 층이 개재되어질 수도 있다.

<29> 도 4는 본 발명의 제1 실시예에 의한 자기정렬 콘택플러그를 구비한 반도체 소자를 도시한 단면도이다.

<30> 도 4를 참조하면, 반도체 기판(100) 위 절연막(110) 상에, 도전막(120) 및 캡핑막(130)이 차례로 적층된 후, 라인/스페이스 형태로 패터닝되어 형성된 도전막 패턴들이 있다. 예컨대 도전막(120)은 비트라인이며, 도프트 폴리실리콘 또는 도프트 폴리실리콘과 텅스텐 실리사이드의 이중막 혹은 텅스텐 재질로 되어 있을 수 있다. 텅스텐 재질의 경우에는 그 아래에 배리어 메탈(barrier metal)을 도포하기도 한다. 그리고, 제1 층간절연막(135)이 도전막 패턴 사이를 매립하면서 캡핑막(130) 상단보다는 낮고 도전막(120) 상단보다는 높은 두께로 형성되어 있다. 예컨대 캡핑막(130)의 중간 높이까지 제1 층간절연막(135)이 형성되어 있다. 제1 층간절연막(135) 위에는 캡핑막(130)의 측면을 감싸는 제1 스페이서(140)가 위치한다. 제1 층간절연막(135)의 상면이 편평하므로 그 상면에 접하는 제1 스페이서(140) 하단도 편평하다.

<31> 제1 층간절연막(135), 캡핑막(130) 및 제1 스페이서(140)는 제2 층간절연막(145)으로 덮여 있는데, 제2 층간절연막(145)의 상면은 평탄하다. 그리고, 캡핑막(130)에 자기

정렬된 콘택플러그(160), 곧 상부의 스토리지 전극(미도시)과 반도체 기판(100)에 접촉된 셀패드(102)를 접속시키는 스토리지 노드 콘택플러그가 구비되어 있다. 이것은 도전막 패턴들 사이에서 제2 층간절연막(145), 제1 층간절연막(135) 및 절연막(110)을 관통하여 셀패드(102)를 통해 반도체 기판(100)과 전기적으로 접속된다. 셀패드(102)가 생략된 경우에는 직접 반도체 기판(100)에 접하여 형성된다. 특히, 콘택플러그(160)의 외벽은 제2 스페이서(155)로 둘러싸여 있어서 콘택플러그(160)와 도전막(120)이 전기적으로 절연된다. 바람직한 경우에 제2 스페이서(155)가 도전막(120)에 접하게 되어 충분한 콘택면적이 확보된다.

<32> 절연막(110), 제1 층간절연막(135) 및 제2 층간절연막(145)은 실리콘 산화막으로 이루어지고, 캡핑막(130), 제1 스페이서(140) 및 제2 스페이서(155)는 실리콘 질화막으로 이루어진 것이 바람직하다. 그러나, 캡핑막(130), 제1 스페이서(140) 및 제2 스페이서(155)는 실리콘 산화질화막으로 이루어질 수도 있다.

<33> 도전막(120)의 폭이 약 90nm이고 제2 스페이서(155)를 포함한 콘택플러그(160)의 상면 너비가 약 120nm인 경우, 제2 스페이서(155)의 폭은 300Å 정도로 비교적 두꺼워진다. 제1 스페이서(140)의 높이와 폭은 각각 약 500Å, 200 내지 300Å로 하는 것이 바람직하다. 이 때에 절연막(110)의 두께는 약 1500Å, 도전막(120)의 두께는 약 600Å, 캡핑막(130)의 두께는 약 2000Å 정도일 수 있다. 제2 층간절연막(145)의 두께는 2000Å 정도가 적당하다.

<34> 도 4에서 볼 수 있는 가장 큰 특징은, 제2 스페이서(155)의 보조 스페이서라고 볼 수 있는 제1 스페이서(140) 하단이 캡핑막(130) 중간 높이에 위치하도록 구성한 점이다. 이렇게 함으로써, 콘택플러그(160)를 형성할 콘택홀 식각시 캡핑막(130)의 리세스를 최

소화할 수 있어, 콘택플러그(160)와 도전막(120)이 단락되는 것을 방지할 수 있다. 또한, 제1 스페이서(140)를 캡핑막(130) 외측벽에만 남겨두고 콘택플러그(160) 쪽은 없앤 구조이므로 도전막(120) 사이가 완전히 열려서 저항성 불량이 방지된다. 충분한 오픈 면적이 확보되기 때문에 제2 스페이서(155)를 비교적 두껍게 형성하더라도 콘택 저항이 증가될 염려가 없다. 따라서, 두꺼운 제2 스페이서(155)를 형성하여 콘택플러그(160)와 도전막(120)의 단락 염려를 줄일 수 있으면서도 원하는 수준으로 낮은 콘택 저항을 유지할 수 있다.

<35> 도 5는 본 발명의 제2 실시예에 의한 자기정렬 콘택플러그를 구비한 반도체 소자를 도시한 단면도로서, 도전막 패턴 사이에서의 제1 층간절연막(137)의 상면 프로파일이 V자형이어서 그 상면에 접하는 제1 스페이서(142) 하단이 기울어진 점이 상술한 제1 실시예와 다르다. 그 밖의 부분은 동일하므로 중복되는 설명은 피하기로 한다.

<36> 이제, 본 발명의 자기정렬 콘택플러그를 구비한 반도체 소자의 제조방법에 대하여 상세히 설명한다.

<37> 도 6 내지 도 12는 도 4에 도시한 것과 같은 본 발명의 제1 실시예에 의한 자기정렬 콘택플러그를 구비한 반도체 소자의 제조방법을 순차적으로 나타낸 보인 단면도들이다.

<38> 먼저 도 6을 참조하면, 반도체 기판(100) 위에 절연막을 증착하고 그 안에 셀패드(102)를 형성하여 드레인 영역(미도시)과 같은 불순물 영역에 접촉시킨다. 다음, 그 위에 약 1500Å 두께로 절연막(110)을 형성하고 나서, 도전물질을 증착하여 도전막(120)을 형성한다. 도전물질의 예로는 도프트 폴리실리콘, 도프트 폴리실리콘과 텅스텐 실리사이드의 이중 구조 혹은 텅스텐과 같은 금속을 들 수 있다. 텅스텐을 증착하기 전에는

Ti/TiN으로 된 배리어 메탈을 도포하기도 한다. 도전막(120) 위에는, 후속되는 식각 공정에서 도전막(120)을 보호할 수 있는 물질, 예를 들어 PECVD(Plasma Enhanced CVD) 또는 LPCVD(Low Pressure CVD) 방법으로 실리콘 질화막을 증착하여 캡핑막(130)을 형성한다. 실리콘 질화막은 500℃ 내지 850℃의 온도에서 SiH_4 와 NH_3 의 반응을 이용하여 증착할 수 있다. 실리콘 질화막 대신에 실리콘 산화질화막으로 형성하여도 되며, 이들은 실리콘 산화막과 식각선택비가 다른 막이다.

<39> 다음, 포토리소그래피 공정을 이용하여 캡핑막(130)과 도전막(120)을 라인/스페이스 형태로 차례로 이방성 식각함으로써, 도전막과 캡핑막이 적층, 패터닝되어 이루어진 도전막 패턴을 형성한다. 여기서는 도전막(120)이 비트라인인 경우를 예로 든다. 도전막(120)의 폭과 두께를 각각 90nm와 600Å 정도로 하는 경우, 캡핑막(130)의 두께는 약 2000Å 정도가 적당하다. 그 결과물의 전면에, CVD 방법을 이용하여 실리콘 산화막을 증착하는데, 도전막 패턴들 사이를 완전히 매립하는 정도 두께로 증착하여 제1 층간절연막(135)을 형성한다. 이 때, 도전막 패턴의 측면에 스페이서가 형성되지 않은 상태에서 실리콘 산화막을 증착하기 때문에 보이드가 발생하지 않고 매립이 용이하게 이루어진다. 제1 층간절연막(135)은 CVD 이외에 PECVD 혹은 PETEOS 방법으로도 형성할 수 있는데, PECVD의 경우에는 SiH_4 와 O_2 (혹은 N_2O)의 반응을 이용하는 것이고, PETEOS의 경우에는 TEOS(Tetra Ethyl Ortho Silicate)[$\text{Si}(\text{OC}_2\text{H}_5)_4$]와 O_2 (혹은 O_3)의 반응을 이용한다.

<40> 다음에, 도 7에서와 같이 화학적 기계적 연마(Chemical Mechanical Polishing : CMP) 공정을 이용하여 제1 층간절연막(135) 상면을 평탄화시켜 캡핑막(130)을 노출시킨다. 제1 층간절연막(135)은 실리콘 산화막으로 이루어지고 캡핑막(130)은 실리콘 질화막 혹은 실리콘 산화질화막으로 이루어지므로 그들의 연마 속도가 다른 점을 이용하여

캐핑막(130)을 CMP 스톱퍼, 즉 평탄화종료점으로써 사용할 수 있다. 평탄화시키는 방법은 CMP 이외에 에치백이 사용될 수도 있으며, 제1 층간절연막(135)의 유동성이 좋은 경우에는 리플로우에 의해 평탄화시킬 수도 있다.

<41> 도 8을 참조하면, 실리콘 산화막 식각액을 적용하여 캐핑막(130)의 손실없이 캐핑막(130) 중간 부분까지 제1 층간절연막(135)을 습식 식각한다. 습식 식각의 성질상 등방성 식각이 된다. 실리콘 질화막에 대한 선택비가 우수한 조건, 예를 들어 불산(HF) 용액을 사용하면 도시된 바와 같이 제1 층간절연막(135)을 캐핑막(130) 상단보다는 낮고 도전막(120) 상단보다는 높게, 즉 캐핑막(130)의 중간 높이 정도까지 평탄한 프로파일을 유지하면서 식각할 수 있다. 예컨대 식각하는 깊이는, 캐핑막(130) 상면으로부터 약 500Å 정도가 되게 할 수 있다. 이로써, 캐핑막(130)의 양측벽 일부가 노출되고, 도전막(120)의 상부는 노출되지 않는다. 불산 용액 대신에 암모니아(NH_4OH), 과산화수소(H_2O_2), 및 탈이온수의 혼합 용액을 사용하여 식각하여도 된다.

<42> 도 9를 참조하면, 도 8의 결과물 상에 스페이서용 절연막, 예를 들어 PECVD 또는 LPCVD 방법을 사용하여 실리콘 질화막 혹은 실리콘 산화질화막을 소정 두께 증착한다. 다음에, 상기 절연막을 이방성 플라즈마 식각함으로써 노출된 캐핑막(130)의 양측벽에 제1 스페이서(140)를 형성한다. 절연막에 대한 이방성 식각은 제1 층간절연막(135)의 표면이 드러날 때까지 진행하는데, 캐핑막(130)도 실리콘 질화막 혹은 실리콘 산화질화막으로 이루어져 있기 때문에 캐핑막(130)의 일부가 식각될 수도 있으나 무방하다. 제1 스페이서(140)는 후속의 콘택홀 형성 공정시 도전막(120) 및 캐핑막(130)을 보호할 수 있는 숄더(shoulder) 역할을 하며, 제1 스페이서(140)의 폭은 후속 콘택홀 식각시 완전히 소모되어 없어질 두께로 형성하는 것이 바람직하다. 예컨대, 콘택홀의 상면 너비가

약 120nm인 경우, 제1 스페이서(140)의 폭은 200 내지 300Å으로 형성한다. 평탄화 공정을 진행하여 편평해진 제1 층간절연막(135)을 습식 식각한 위에 제1 스페이서(140)를 형성하므로, 제1 스페이서(140) 하단도 편평하게 형성된다.

<43> 도 10을 참조하면, 제1 스페이서(140)가 형성된 결과물의 전면에 실리콘 산화막을 재차 증착하여 제2 층간절연막(145)을 형성한다. 다음에, 제2 층간절연막(145)에 대해 CMP 공정을 실시하여 그 표면을 평탄화시켜서 후속되는 콘택홀 형성 공정을 용이하게 한다. 이어서, 평탄화된 제2 층간절연막(145) 상에, 포토 공정을 실시하여 콘택홀이 형성될 영역을 노출시키는 개구부를 정의하도록 포토레지스트 패턴(150)을 형성한다. 개구부는 도전막(120) 사이의 거리보다 큰 너비로 정의되며, 예컨대 약 120nm 정도로 형성된다.

<44> 도 11을 참조하면, 포토레지스트 패턴(150)을 식각 마스크로 사용하여 제2 층간절연막(145), 제1 층간절연막(135) 및 절연막(110)을 차례로 이방성 식각함으로써, 도전막 패턴들 사이의 셀패드(102)를 노출시키는 콘택홀(H)을 형성한다. 사용되는 식각 가스로는 C_4H_8/C_3H_8 , C_3F_6 , C_2F_4 , C_2HF_5 등에 CH_3F , C_2H_2 , CH_2F_2 등과 Ar, He, Xe, Ne 등을 첨가한 가스를 예로 들 수 있다. 제2 층간절연막(145)을 식각하게 되는 식각 초기에는 캡핑막(130)과 제1 스페이서(140)도 식각 마스크로 사용되어, 이들에 자기정렬되는 방식으로 콘택홀(H)이 형성되기 시작한다. 특히 제1 스페이서(140)는 캡핑막(130)의 리세스를 최소화할 수 있게 그 측면에서 버티어준다. 제1 층간절연막(135)을 식각하게 되는 식각 중기에 이르면 제1 스페이서(140)가 서서히 소모되어 폭과 높이가 감소되기 시작하지만 캡핑막(130)의 측면을 여전히 보호해주고 있기 때문에 캡핑막(130)과 제1 스페이서(140)에 자기정렬적으로 식각이 이루어진다. 셀패드(102)를 노출시키게 되는 식각 최종

단계에 이를 정도가 되면 제1 스페이서(140)가 완전히 제거되어, 콘택홀(H)은 캡핑막(130)에 자기정렬적으로 형성되며 도전막 패턴 사이가 완전히 열리게 된다. 이처럼 제1 스페이서(140)의 용도는 식각 초기에는 캡핑막(130)의 리세스를 막아주는 것이고, 식각 최종 단계에서는 완전히 제거되어 충분한 오픈 면적을 확보하게 하는 것이다. 바람직한 경우에는 도전막(120)의 측면이 노출될 정도로 폭이 매우 확장된 콘택홀(H)이 형성되는데, 캡핑막(130)의 리세스가 최소화되므로 도전막(120)의 훼손도 최소화되며, 충분한 오픈 면적이 확보됨에 따라 저항성 불량이 방지된다. 식각하는 동안에 발생된 폴리머성 찌꺼기는 O_2 , CO_2 , CO 와 같은 가스를 사용하여 제거하며, 콘택홀(H) 완성 후 스트립으로 포토레지스트 패턴(150)을 제거한다.

<45> 도 12를 참조하면, 두 번째 스페이서용 절연막으로서 실리콘 질화막 혹은 실리콘 산화질화막을 증착한 다음, 이방성 플라즈마 식각으로 식각하여 콘택홀(H)의 내벽에 제2 스페이서(155)를 형성한다. 이 제2 스페이서(155)가 콘택홀(H)에 후속적으로 매립되는 도전체와 도전막(120)을 절연하게 된다. 제1 스페이서(140)가 완전히 제거되어 콘택홀(H)의 오픈 면적이 충분하게 확보되므로 제2 스페이서(155)의 폭은 300\AA 정도로 비교적 두껍게 하여도 된다. 다음에, 콘택홀(H) 안에 도전체를 매립하여 셀패드(102)를 통해 반도체 기판(110)과 전기적으로 접속되는 콘택플러그(160)를 형성한다. 예컨대 콘택홀(H) 안에 도프트 폴리실리콘을 증착한 다음, 그 상면을 에치백 또는 CMP 등의 방법으로 평탄화하여, 제2 층간절연막(145) 상의 폴리실리콘을 제거하여 제2 층간절연막(145)의 상면을 노출시킴으로써, 각각 분리된 콘택플러그(160)들을 형성한다.

<46> 따라서, 본 발명에서와 같이 캡핑막(130)의 중간 높이에 위치하는 제1 스페이서(140)를 형성한 다음 콘택홀(H)을 형성하게 되면, 식각 초기에는 제1 스페이서(140)가

버티어 캡핑막(130)의 리세스를 최소화시키는 역할을 하고, 식각 후기에는 제1 스페이서(140)가 제거됨으로써 충분한 오픈 면적을 확보하게 한다. 따라서, 본 발명에 따르면, 자기정렬 콘택플러그와 도전막간에 단락될 염려가 적고, 접촉 저항을 낮게 만들 수 있다. 또한, 처음 실리콘 산화막을 증착하여 도전막 패턴들 사이를 매립할 때에, 도전막 패턴의 측벽에 스페이서가 형성되지 않은 상태에서 실리콘 산화막을 증착하기 때문에 보이드가 발생하지 않고 매립을 용이하게 할 수 있다.

<47> 도 13 내지 도 16은 본 발명의 제2 실시예에 의한 자기정렬 콘택플러그를 구비한 반도체 소자의 제조방법을 설명하기 위한 단면도들이다.

<48> 도 13을 참조하면, 반도체 기판(100) 위에 절연막을 증착하여 그 안에 셀패드(102)를 형성한 다음, 그 위에 약 1500Å 두께로 절연막(110)을 형성하고 나서, 도전물질을 증착하여 도전막(120)을 형성한다. 도전막(120) 위에는 실리콘 질화막 혹은 실리콘 산화질화막으로 된 캡핑막(130)을 형성한다. 다음, 포토리소그래피 공정을 이용하여 캡핑막(130)과 도전막(120)을 라인/스페이스 형태로 차례로 이방성 식각함으로써, 도전막과 캡핑막이 적층, 패턴닝되어 이루어진 도전막 패턴을 형성한다.

<49> 그 결과물의 전면에, HDP-CVD(High Density Plasma-Chemical Vapor Deposition) 방법을 이용하여 실리콘 산화막을 증착하여 제1 층간절연막(137)을 형성한다. 이 때, 도전막 패턴의 측면에 스페이서가 형성되지 않은 상태에서 실리콘 산화막을 증착하기 때문에 보이드가 발생하지 않고 매립이 용이하게 이루어진다. 그리고, HDP-CVD의 증착 특성상, 도전막 패턴 위에는 증착량이 많은 반면 도전막 패턴들 사이에는 골이 지게 매립된다. 즉, 도전막 패턴 사이에서의 제1 층간절연막(137)의 프로파일이 V자형이 된다.

<50> 잘 알려진 것과 같이 HDP-CVD공정은, CVD와 스퍼터링 방식에 의한 식각 방법이 결합된 기술로써, 물질막을 증착하기 위한 증착가스만이 챔버 내로 공급되는 것이 아니라, 증착되는 물질막을 스퍼터링 방식으로 식각할 수 있는 스퍼터링 가스도 챔버 내로 공급된다. 따라서, 실리콘 산화막을 증착하고자 할 때에는 SiH_4 와 O_2 를 증착가스로써 챔버 내에 공급하고, 불활성 가스(예컨대, Ar 가스)도 스퍼터링 가스로써 챔버 내로 공급한다. 공급된 증착가스와 스퍼터링 가스의 일부는 고주파 전력에 의하여 챔버 내에 유발된 플라즈마에 의하여 이온화된다.

<51> 그리고, 반도체 기판이 로딩된 챔버 내의 웨이퍼척(예컨대, 정전척)에는 바이어스된 고주파 전력이 인가되기 때문에, 이온화된 증착가스 및 스퍼터링 가스는 반도체 기판의 표면으로 가속된다. 가속된 증착가스 이온은 실리콘 산화막을 형성하고, 가속된 스퍼터링 가스 이온은 증착된 실리콘 산화막을 스퍼터링한다.

<52> 실리콘 산화막은 증착과 동시에 스퍼터링되지만, 증착되는 속도가 스퍼터링되는 속도보다는 크기 때문에 도전막 패턴들 사이가 매립된다. 그런데, 실리콘 산화막이 스퍼터링 가스 이온(예컨대, Ar^+)에 의하여 식각되는 속도는, 도전막 패턴들 사이의 입구의 코너부분이 다른 부분보다 3배 내지 4배 정도 빠르다. 따라서, 실리콘 산화막을 형성하면 그 상면 프로파일이 V 자형을 가지게 된다. 적절한 프로파일은 플라즈마를 발생시키기 위한 소스파워, 반도체 기판이 로딩되는 웨이퍼척에 인가하는 바이어스 고주파 전력, 공급되는 증착가스의 유량 및 스퍼터링 가스의 유량을 조절하면 변경될 수 있다. 예를 들어, HDP-CVD 공정이 수행되는 장치에서 플라즈마를 발생시키는 소스파워는 3000 W 내지 5000 W사이, 웨이퍼척에 인가되는 바이어스 파워는 800 W 내지 1000W 사이, 실리콘 소스가스(예컨대, SiH_4)의 유량은 30 sccm 내지 150 sccm 사이, 산소 소스가스(예컨대,

O₂)의 유량은 60 sccm 내지 200 sccm 사이, 스퍼터링 가스(예컨대, Ar)의 유량은 20 sccm 내지 400 sccm 사이로 조절하는 경우에 도 13과 같은 V자형 프로파일이 얻어진다.

<53> 도 14를 참조하면, 실리콘 산화막 식각액을 적용하여 캡핑막(130)의 손실없이 그 중간 부분까지 제1 층간절연막(137)을 습식 식각한다. 습식 식각은 등방성이므로 제1 층간절연막(137)의 높이가 캡핑막(130)의 중간 부분까지 낮아지지만 V자형 프로파일은 유지된다. 식각하는 깊이는, 예컨대 캡핑막(130) 양측벽이 약 500Å 정도 노출될 수 있도록 한다.

<54> 도 15를 참조하면, 도 14의 결과물 상에 스페이서용 절연막, 예를 들어 LPCVD 방법을 사용하여 실리콘 질화막 혹은 실리콘 산화질화막을 소정 두께 증착한다. 다음에, 상기 절연막을 이방성 플라즈마 식각하여 노출된 캡핑막(130)의 양측벽에 제1 스페이서(142)를 형성한다. 도전막 패턴 사이에서의 제1 층간절연막(137)의 프로파일이 V자형이므로, 제1 스페이서(142) 하단이 소정 경사각을 가지게 형성된 모양이 된다.

<55> 제2 실시예에서 설명하지 않는 사항은 상기 제1 실시예를 참조하면 된다. 이후의 단계는 상기 제1 실시예에서와 동일하며, 결과적으로 도 16에서와 같이 도전막 패턴들 사이에서 제2 층간절연막(145), 제1 층간절연막(137) 및 절연막(110)을 식각하여 만든 콘택홀(H) 내벽에 제2 스페이서(155)가 형성된 후, 콘택홀(H) 안에 도전체가 채워져 반도체 기판(100)과 전기적으로 접속되는 콘택플러그(160)가 된다.

<56> 이상, 본 발명을 바람직한 실시예들을 들어 상세하게 설명하였으나, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함은 명백하다.

【발명의 효과】

<57> 상술한 바와 같이 본 발명에 따라 캡핑막의 상단에서부터 중간 높이를 보호할 수 있도록 제1 스페이서를 형성한 다음 콘택홀을 형성하게 되면, 식각 초기에는 제1 스페이서가 버티어 캡핑막의 리세스를 최소화시키는 역할을 하고, 식각 후기에는 제1 스페이서가 제거되어 충분한 오픈 면적이 확보된다. 따라서 본 발명에 따르면, 콘택플러그와 도전막간에 단락될 염려가 적고, 접촉 저항을 낮게 만들 수 있어 소자의 동작 특성을 향상시킬 수 있다. 또한, 처음 실리콘 산화막을 증착하여 도전막 패턴들 사이를 매립할 때에, 도전막 패턴의 측벽에 스페이서가 형성되지 않은 상태에서 실리콘 산화막을 증착하기 때문에 보이드가 발생하지 않고 매립을 용이하게 할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 위 절연막 상에, 도전막 및 캡핑막이 차례로 적층되어 형성된 도전막 패턴들;

상기 도전막 패턴들 사이를 매립하되, 상기 캡핑막 상단보다는 낮고 상기 도전막 상단보다는 높은 두께로 형성된 제1 층간절연막;

상기 제1 층간절연막 위에서 상기 캡핑막 외측면을 감싸는 제1 스페이서;

상기 제1 층간절연막, 캡핑막 및 제1 스페이서를 덮으면서 상면이 평탄한 제2 층간절연막; 및

상기 도전막 패턴들 사이에서 상기 제2 층간절연막, 제1 층간절연막 및 절연막을 관통하여 상기 반도체 기판과 전기적으로 접속되고, 그 외벽이 제2 스페이서로 둘러싸여 있으며, 상기 캡핑막에 자기정렬된 콘택플러그를 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 2】

제1항에 있어서,

상기 절연막, 제1 층간절연막 및 제2 층간절연막은 실리콘 산화막으로 이루어지고, 상기 캡핑막, 제1 스페이서 및 제2 스페이서는 실리콘 질화막으로 이루어진 것을 특징으로 하는 반도체 소자.

【청구항 3】

제1항에 있어서,

상기 도전막의 폭은 약 90nm이고 상기 제2 스페이서를 포함한 상기 콘택플러그의 상면 너비는 약 120nm이며, 상기 제2 스페이서의 폭은 약 300Å, 상기 제1 스페이서의 높이는 약 500Å, 상기 제1 스페이서의 폭은 200 내지 300Å인 것을 특징으로 하는 반도체 소자.

【청구항 4】

제1항에 있어서,

상기 도전막은 비트라인(bitline)이고, 상기 콘택플러그는 스토리지 전극과 상기 반도체 기판에 접속된 셀패드, 또는 스토리지 전극과 상기 반도체 기판을 접속시키는 스토리지 노드 콘택플러그인 것을 특징으로 하는 반도체 소자.

【청구항 5】

제1항에 있어서,

상기 제1 층간절연막의 상면이 편평해서 그 상면에 접하는 상기 제1 스페이서 하단도 편평한 것을 특징으로 하는 반도체 소자.

【청구항 6】

제1항에 있어서,

상기 도전막 패턴 사이의 상기 제1 층간절연막의 상면 프로파일이 V자형이어서, 그 상면에 접하는 상기 제1 스페이서 하단이 기울어진 것을 특징으로 하는 반도체 소자.

【청구항 7】

제1항에 있어서,

상기 제2 스페이서가 상기 도전막에 접하여 있는 것을 특징으로 하는 반도체 소자.

【청구항 8】

- (a) 반도체 기판 위 절연막 상에, 도전막 및 캡핑막을 차례로 적층하고 패터닝하여 라인/스페이스 형태의 도전막 패턴들을 형성하는 단계;
- (b) 제1 층간절연막을 증착하여 상기 도전막 패턴들 사이를 매립하는 단계;
- (c) 상기 캡핑막의 손실없이 상기 제1 층간절연막을 습식 식각하여 상기 캡핑막의 양측벽 일부를 노출시키는 단계;
- (d) 상기 노출된 캡핑막의 양측벽에 제1 스페이서를 형성하는 단계;
- (e) 상기 제1 스페이서가 형성된 결과물 상에 제2 층간절연막을 형성하고 그 상면을 평탄화시키는 단계;
- (f) 상기 도전막 패턴들 사이의 상기 제2 층간절연막, 제1 층간절연막 및 절연막을 건식 식각하여 상기 캡핑막에 자기정렬된 콘택홀을 형성하는 단계;
- (g) 상기 콘택홀의 내벽에 제2 스페이서를 형성하는 단계; 및
- (h) 상기 제2 스페이서가 형성된 콘택홀 안에 도전체를 매립하여 상기 반도체 기판과 전기적으로 접속된 콘택플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 9】

제8항에 있어서, 상기 (c) 단계에서,

상기 도전막의 상부가 노출되지 않도록 상기 제1 층간절연막을 습식 식각하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 10】

제8항에 있어서,

상기 절연막, 제1 층간절연막 및 제2 층간절연막은 실리콘 산화막으로 형성하고, 상기 캡핑막, 제1 스페이서 및 제2 스페이서는 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 11】

제8항에 있어서,

상기 제1 스페이서의 폭과 높이는 상기 (f) 단계 동안에 식각되어 제거될 수 있는 정도로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 12】

제8항에 있어서,

상기 도전막의 폭은 약 90nm이고 상기 제2 스페이서를 포함한 상기 콘택플러그의 상면 너비는 약 120nm이며, 상기 제2 스페이서의 폭은 약 300Å, 상기 제1 스페이서의 높이는 약 500Å, 상기 제1 스페이서의 폭은 200 내지 300Å로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 13】

제8항에 있어서, 상기 (f) 단계에서,

상기 도전막 패턴들 사이의 상기 제1 스페이서를 완전히 제거하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 14】

제8항에 있어서, 상기 (f) 단계에서,

상기 콘택홀이 상기 도전막 측벽을 노출시키도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 15】

제8항에 있어서,

상기 제1 스페이서와 제2 스페이서는 절연막 증착과 이방성 플라즈마 식각으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 16】

제8항에 있어서, 상기 (b) 단계는,

상기 제1 층간절연막을 증착하여 상기 도전막 패턴들 사이를 완전히 매립하는 단계; 및

상기 캡핑막을 평탄화종료점으로 하여 상기 제1 층간절연막을 평탄화시키는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

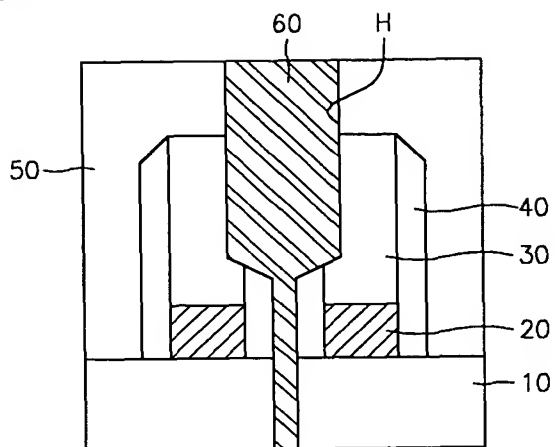
【청구항 17】

제8항에 있어서, 상기 (b) 단계는,

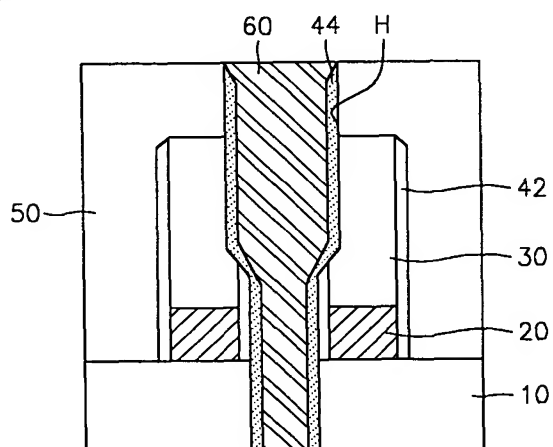
상기 제1 층간절연막을 HDP-CVD(High Density Plasma-Chemical Vapor Deposition)로 증착하여 상기 도전막 패턴 사이에서의 상기 제1 층간절연막의 프로파일이 V자형이 되도록 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

【도면】

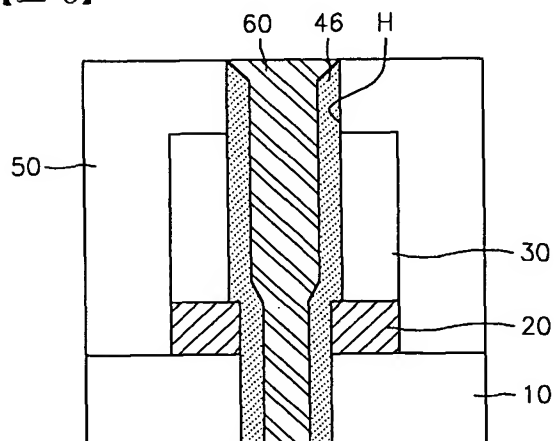
【도 1】



【도 2】



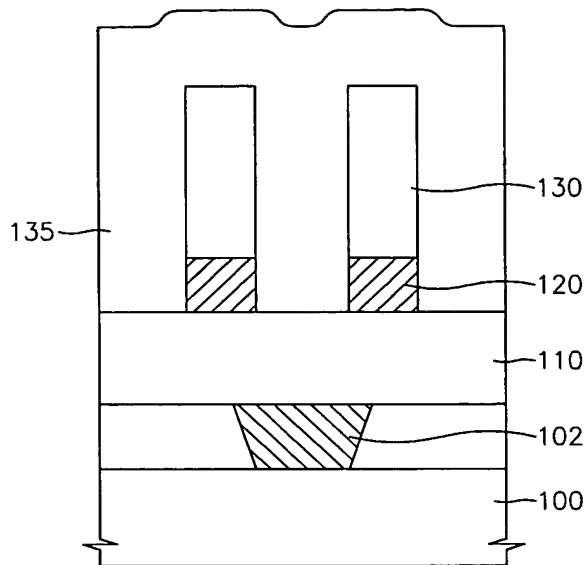
【도 3】



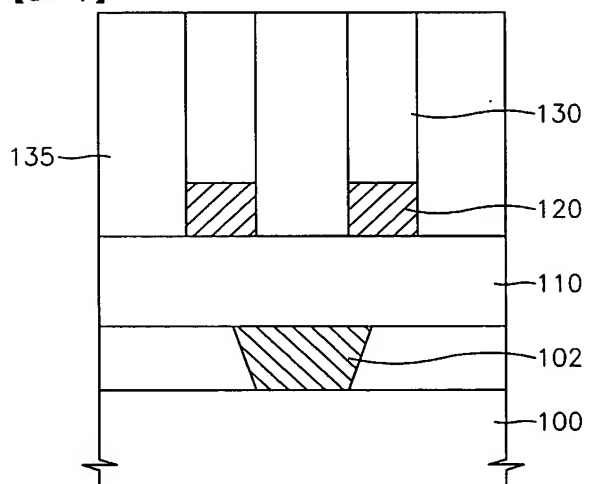
A cross-sectional view of a semiconductor device. The device is built on a substrate 100. A layer 102 is formed on the substrate. Above layer 102 is a layer 110. A central vertical structure is formed, consisting of a core with layers 155 and 160. This core is surrounded by a layer 120, which is in turn surrounded by a layer 130. A layer 140 is formed on the top surface of the device, and a layer 145 is formed on the side surfaces of the device. The central vertical structure is surrounded by a central opening, and the peripheral region is defined by the layers 140 and 145.

A cross-sectional view of a semiconductor device. A central vertical structure is formed within a substrate. The structure consists of a central core (160) surrounded by a layer (155). The core and layer are flanked by a material (142) which has a sloped top surface (145). Below this, a layer (130) is present, with a central opening (120) that is wider than the central core. The entire structure is built on a substrate (110). A layer (102) is located between the substrate (110) and the central structure. The bottom of the device is labeled 100.

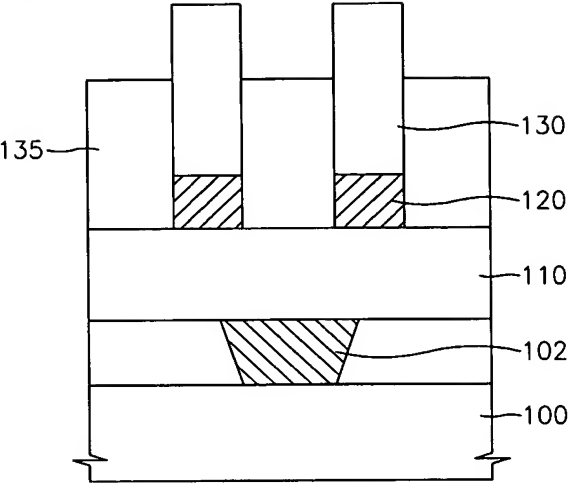
【도 6】



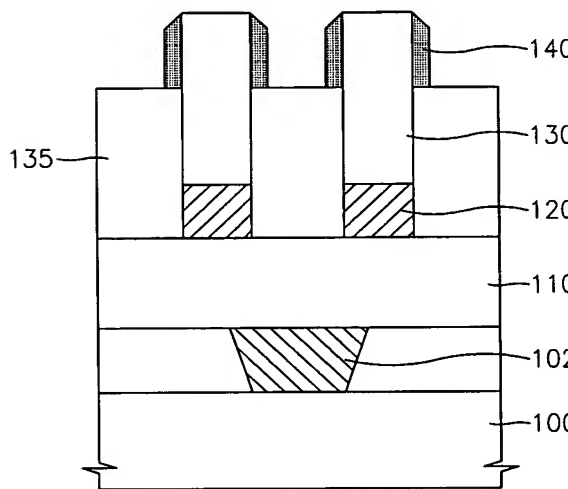
【도 7】



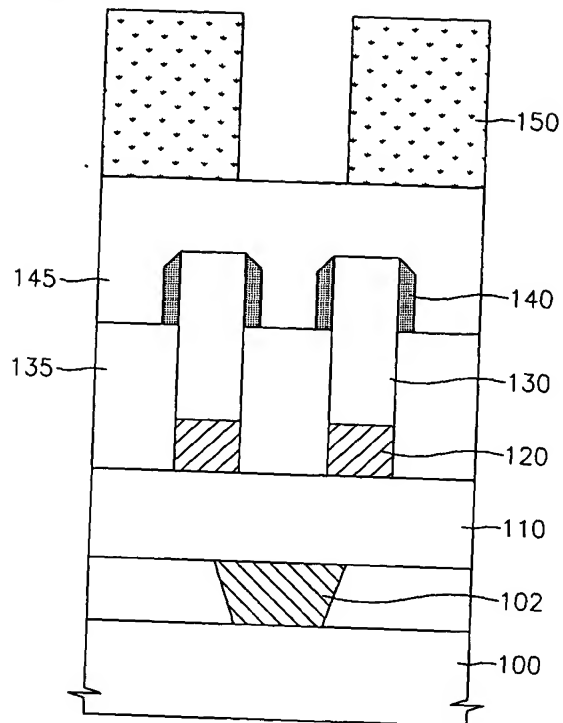
【도 8】



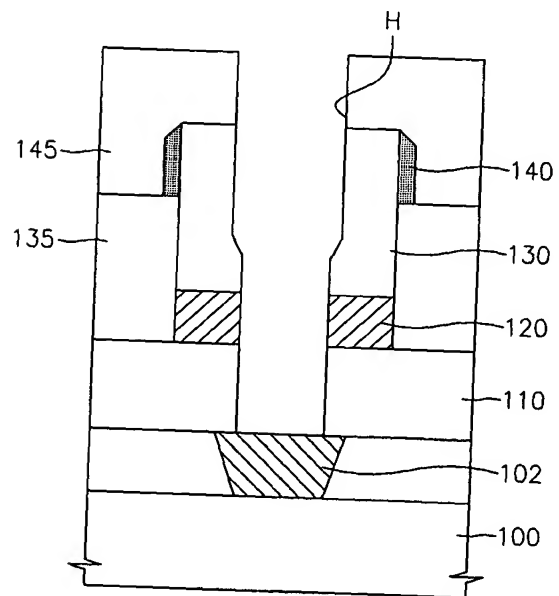
【도 9】



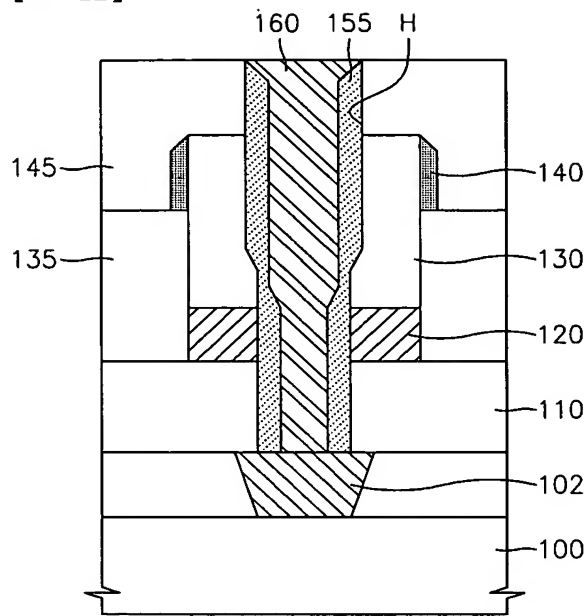
【도 10】



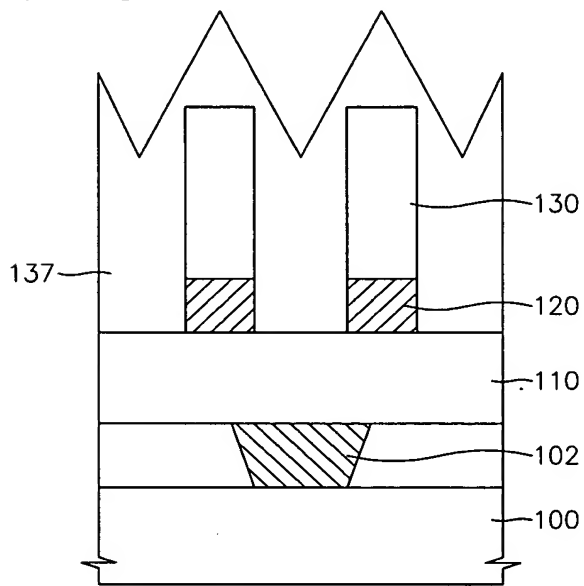
【도 11】



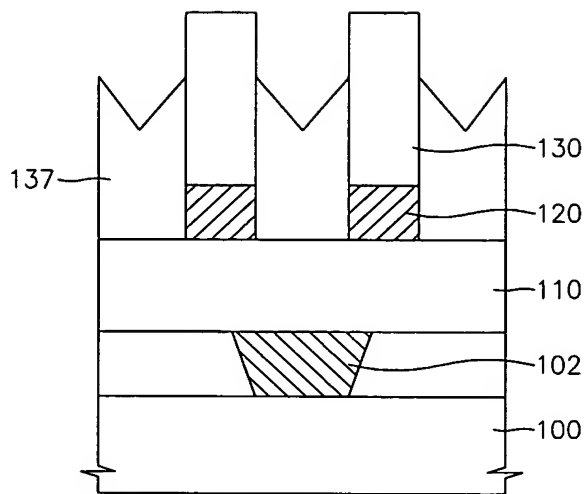
【도 12】



【도 13】



【도 14】



【도 15】

